



深圳市晶峰达电子科技有限公司

东莞市琪芯电子有限公司

电话: 13798528768, 0755-29206918, FAX: 81703081  
邮箱: info@jfd-ic.com, QQ: 402431824 阿里旺旺: szjfdz  
网址: www.jfd-ic.com MSN: aleafuyzf@hotmail.com

**DL7813**

# 单通道触摸感应开关

## 规格书



## 目 录

1. 简介 .....	3
2. 特点 .....	3
3. 引脚示意图 .....	3
4. 功能描述 .....	4
4.1 快速/低功耗模式(FST) .....	4
4.2 保持/同步模式(HLD) .....	4
4.3 输出模式选择 (OLH) .....	4
4.4 灵敏度调节 .....	4
4.5 最大开启时间模式(MOT) .....	4
5. 绝对最大值 .....	5
6. 电气参数 .....	5
7. 应用电路图 .....	5
7.1 LED台灯 .....	5
7.2 墙体开关 .....	6
8. 穿透力应用说明 .....	7
8.1 穿透力与铺地、感应电极大小对应关系 .....	7
8.2 穿透力与触摸引脚并联电容对应关系 .....	7
9. 封装信息 .....	8
9.1 SOT23-6L .....	8
9.2 SOP-14L .....	9



### 1.简介

DL7813 是一款单通道电容式触摸感应控制开关 IC，可以替代传统的机械式开关。  
该 IC 采用 CMOS 工艺制造，结构简单，性能稳定。  
该 IC 可通过外部引脚配置成多种工作模式，可广泛应用于灯光控制、玩具、家用电器等产品中。

### 2.特点

- 工作电压：2.0V~5.5V
- 最高功耗工作电流为 10uA，低功耗模式工作电流仅 1.5uA(均指 3.0V 供电且不带负载的条件下)
- 可通过外部引脚配置为多种模式
- 高可靠性，芯片内置去抖动电路，可有效防止由外部噪声干扰导致的误动作
- 可用于玻璃、陶瓷、塑料等介质表面

### 3.引脚示意图

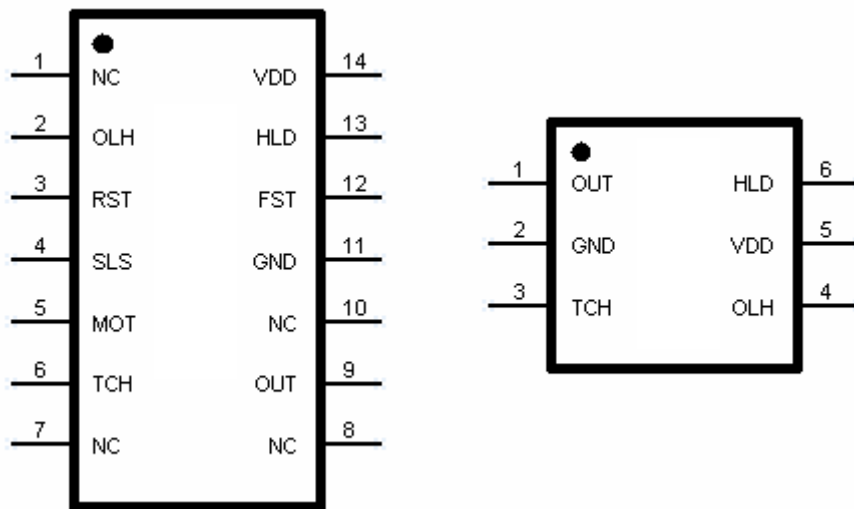


图 1 SOP-14/SOT23-6L 封装示意图

注意：SOT23-6L 为常用封装

表 1 引脚功能描述

SOT23-6L	SOP14	管脚名称	I/O	Description
	1,7,8,10	NC		No Connection
4	2	OLH	I	输出高/低有效模式选择
	3	RST	I	外部复位
	4	SLS	I	采样时长模式选择
	5	MOT	I	最大开启时间选择
3	6	TCH	I	触摸按键输入
1	9	OUT	O	CMOS 输出
2	11	GND	P	负电源
	12	FST	I	快速/低功耗模式选择
6	13	HLD	I	保持/同步模式选择
5	14	VDD	P	正电源



## 4.功能描述

可通过外部引脚配置为多种工作模式。外部配置引脚悬空时，配置位自动设置为默认值(Default)。

表 2 功能描述表

NAME	选项	功能	备注
FST	=1	快速模式	低功耗模式下触摸检测响应时间将变长
	=0(Default)	低功耗模式	
HLD	=1	保持模式	
	=0(Default)	同步模式	
OLH	=1	输出低电平有效	控制 OUT 输出电平
	=0(Default)	输出高电平有效	
SLS	=1(Default)	采样时间约 1.5ms	
	=0	采样时间约 3.0ms	
MOT	=1(Default)	禁止最大开启时间功能	此选项只在同步模式下有效
	=0	最大开启时间 75s	

### 4.1 快速/低功耗模式(FST)

通过对管脚 FST 的设置,可配置为快速模式或者低功耗模式,当该管脚悬空时,默认由内部上拉为高电平,即置为快速模式;

FST 设置为 1 (快速模式)时,触摸响应时间约 40ms;  
 FST 设置为 0 (低功耗模式)时,触摸响应时间约 160 ms。

### 4.2 保持/同步模式(HLD)

当管脚 HLD 悬空时,默认由内部下拉为低电平,即置为同步模式;

HLD 设置为 1 时,选择保持模式,此时输出 OUT 状态在触摸响应后保持:当触摸消失后仍保持为响应状态;再次触摸并响应后恢复为初始状态;

HLD 设置为 0 时,选择同步模式,此时输出 OUT 状态与触摸响应同步:只有检测到触摸时有输出响应;当触摸消失时,OUT 状态恢复为初始状态。

### 4.3 输出模式选择(OLH)

可设置多种输出模式,当管脚 OLH 悬空时,默认为由内部下拉为低电平,即置管脚 OUT 为高电平有效模式;

OLH 设置为 1 时,OUT 脚为低电平有效模式;

OLH 设置为 0 时,OUT 脚为高电平有效模式。

### 4.4 灵敏度调节

1. 设置 SLS。当该管脚悬空时,默认由内部上拉为高电平,采样时间长度设置为 1.5ms; SLS 设置为 0 时,采样时间长度设置为 3.0ms,此时芯片对触摸感应响应的灵敏度高于 SLS 设置为 1 时的灵敏度。
2. 外接调节电容 Cj。调节电容值的范围是 0pF~50 pF,电容值的增加将导致灵敏度降低。
3. 改变连接到 TCH 的触摸按键的面积和形状。如需增加触摸感应灵敏度,可适当增大触摸按键的面积;但触摸按键面积增大到一定程度后,面积的继续增加几乎不能对灵敏度产生影响。
4. 触摸按键到 TCH 管脚的导线长度,及 PCB 的布局,都会对灵敏度产生一定的影响。

### 4.5 最大开启时间模式(MOT)

此模式只在同步模式下有效,当管脚 MOT 悬空时,默认为由内部上拉为高电平,禁止最大开启时间复位功能;

MOT 设置为 0 时,同步模式下触摸响应后,如持续检测到触摸存在达到约 75s(3V),则自动复位并校准,同时置输出 OUT 为未检测到触摸时的状态。



## 7.2 墙体开关

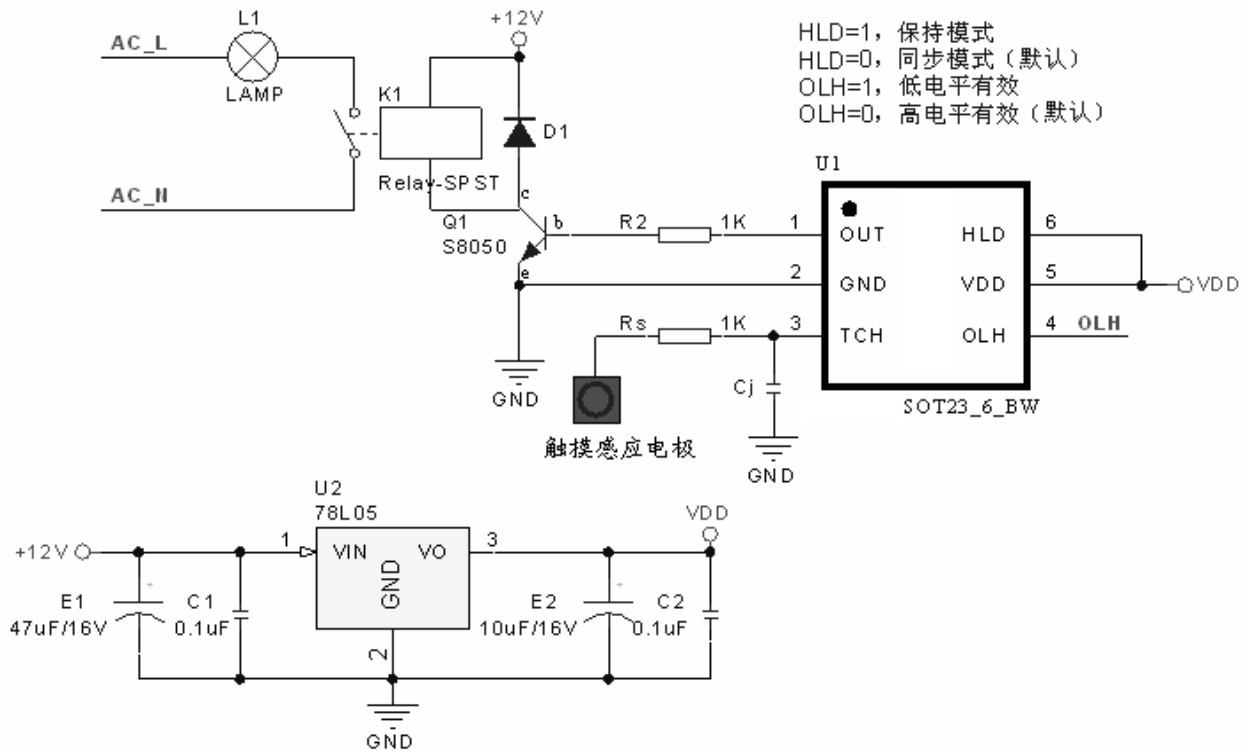


图 3 墙体开关应用电路示意图

### 说明:

1.  $C_j$  指调节灵敏度的电容, 电容值大小  $0\text{pF} \sim 50\text{pF}$  (电容值的增大将导致灵敏度降低)。
2.  $R_s$  指在触摸电极和触摸输入脚之间串联的电阻, 用于提高触摸的抗干扰能力, 可根据具体应用进行选择。
3. VDD 与 GND 间需并联滤波电容以消除噪声。供电电源需稳定, 如果电源电压漂移或者快速变化, 可能引起灵敏度漂移或检测错误。
4. 应该在触摸电极上铺好覆盖介质后再上电, 这样芯片会在上电时候检测环境以及初始电容。如在芯片已经初始化后再放上覆盖物, 则有可能被系统检测到电容突变而无法将其作为环境, 引起误判断!
5. 请参看 [应用指南](#), 以改善实际应用之可靠性。



## 8. 穿透力应用说明

### 8.1 穿透力与铺地、感应电极大小对应关系

感应电极面积	PCB顶层不铺地 底层不铺地	PCB顶层铺实铜 底层35%铺地
6×6mm	8mm	1.7mm
7×7mm	10mm	2.8mm
8×8mm	14mm	3.8mm
10×10mm	16mm	4.9mm
12×12mm	18mm	6mm
15×15mm	22mm	8mm

说明:

1. 此表仅供参考,具体焊盘大小应根据实际模具外壳厚度来调整。
2. 触摸焊盘面积越大,可穿透介质材料越厚。
3. PCB铺地比例越小,PCB点触焊盘与地之间的寄生电容越小,人体触摸后新生的手指电容相对PCB寄生电容变化越大,触摸灵敏度越高,可穿透介质越厚。
4. PCB铺地比例越小,越易受到外界干扰。
5. 建议实际应用时兼顾灵敏度和抗干扰设计PCB的铺地形式。如对穿透介质厚度要求不高,建议增加铺地比例以提高抗干扰性能。

### 8.2 穿透力与触摸引脚并联电容对应关系

电容(*)值	亚克力材料穿透力
未接	4.9mm
1pF	4.9mm
5pF	3mm
10pF	2mm
20pF	1mm
30pF	1mm

(\*) 触摸引脚并联电容到地,

测试条件:感应电极(直径10mm),PCB顶层铺实铜,PCB底层35%铺地。

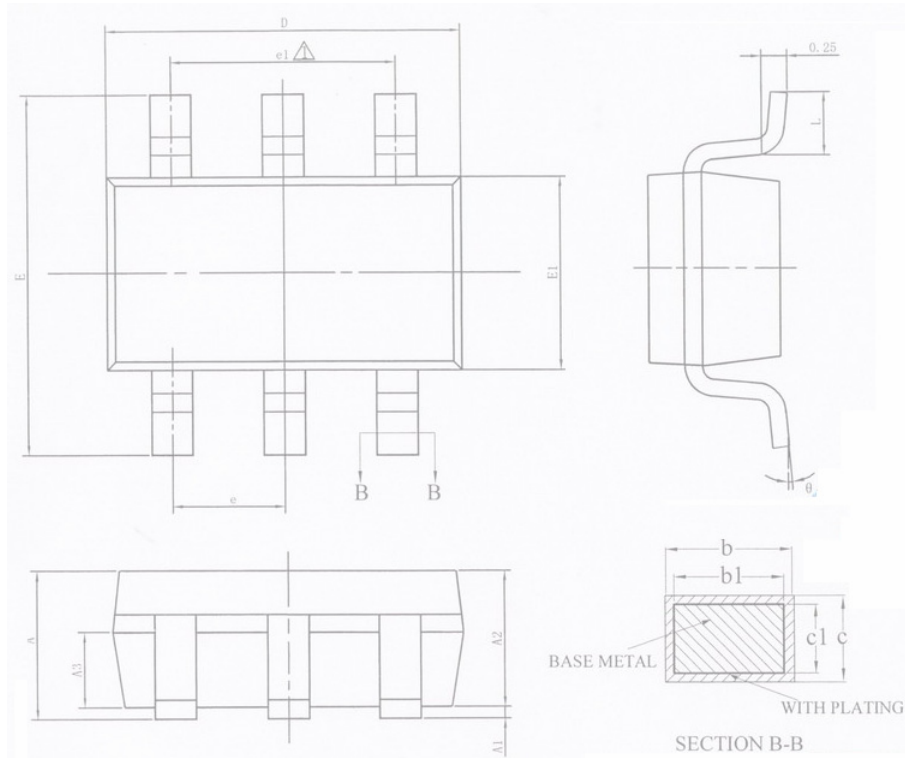
说明:

此表仅供参考,并联电容越小,可穿透介质材料越厚。



## 9. 封装信息

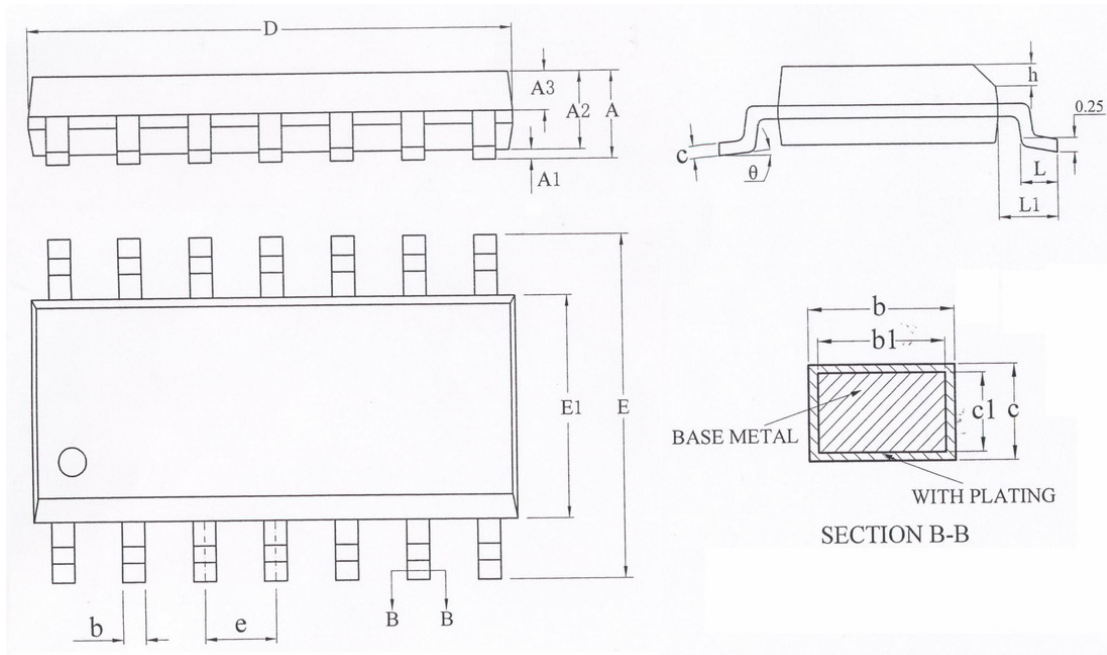
### 9.1 SOT23-6L



Symbol	Dimensions in mm		
	Min	Typ	Max
A	-	-	1.35
A1	0.04	-	0.15
A2	1.00	1.10	1.20
A3	0.55	0.65	0.75
b	0.34	-	0.43
b1	0.33	0.35	0.38
c	0.15	-	0.21
c1	0.14	0.15	0.16
D	2.72	2.92	3.12
E	2.60	2.80	3.00
E1	1.40	1.60	1.80
e	0.95BSC		
e1	1.90BSC		
L	0.30	-	0.60
θ	0	-	8°



## 9.2 SOP-14L



Symbol	Dimensions in mm		
	Min	Typ	Max
A	-	-	1.75
A1	0.05	-	0.225
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.39	-	0.48
b1	0.38	0.41	0.43
c	0.21	-	0.26
c1	0.19	0.20	0.21
D	8.45	8.65	8.85
E	5.80	6.00	6.20
E1	3.70	3.90	4.10
e	1.27BSC		
h	0.25	-	0.50
L	0.50	-	0.80
L1	1.05BSC		
$\theta$	0	-	8°

注意:

规格如有更新, 恕不另行通知。请在使用该 IC 前更新规格书至最新版本。



**BONDING PAD LOCATION**

**PROJECT:**

**TOPCELL:**

**PROCESS:**

NO.	PADNAME	X	Y	NO.	PADNAME	X	Y
1	GND	383	-106	6	RST	-383	114
2	FST	383	4	7	SLS	-383	4
3	HLD	383	114	8	MOT	-383	-106
4	VDD	383	224	9	TCH	-383	-216
5	OLH	-383	224	10	OUT	383	216

**CHIP SIZE:** (1010 x 600) UM

